

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-040809
(43)Date of publication of application : 12.02.1999

(51)Int.Cl. H01L 29/78
H01L 27/10
H01L 29/06
H01L 29/66

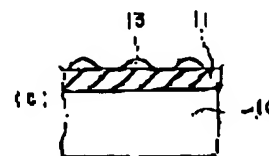
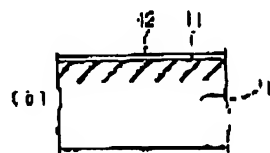
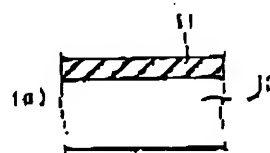
(21)Application number : 10-067473 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 17.03.1998 (72)Inventor : SUGIYAMA NAOHARU
TEZUKA TSUTOMU
KATOU RIICHI
KUROBE ATSUSHI
TANAMOTO TETSUSHI

(30)Priority
Priority number : 09131014 Priority date : 21.05.1997 Priority country : JP
09131016 21.05.1997 JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor fine crystal, which can be easily introduced into a conventional mass-production process and a semiconductor device which takes advantage thereof.

SOLUTION: An amorphous or polycrystalline IV element layer 12 is formed on substrates 10 and 11 as thick as 0.3 or larger to 5 nm or smaller at a low temperature of 500°C or below and then heated at a high temperatures of 600 to 850°C into lumps. Through this setup, hemispherical fine crystals 13 which are formed of IV element and distributed in two dimensions, separated from each other, and 50 nm or less in diameter are formed.

**LEGAL STATUS**

[Date of request for examination] 14.03.2001
[Date of sending the examiner's decision of rejection] 23.08.2005
[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2005-18155
of rejection]

[Date of requesting appeal against examiner's 21.09.2005
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-40809

(43)公開日 平成11年(1999)2月12日

(51)IntCl.*	識別記号	F I	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 J
27/10	4 5 1	27/10	4 5 1
29/06		29/06	
29/66		29/68	

審査請求 未請求 請求項の数16 O L (全 18 頁)

(21)出願番号 特願平10-67473

(22)出願日 平成10年(1998)3月17日

(31)優先権主張番号 特願平9-131014

(32)優先日 平9(1997)5月21日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平9-131016

(32)優先日 平9(1997)5月21日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 杉山 直治

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 手塚 勉

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 加藤 理一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦 (外6名)

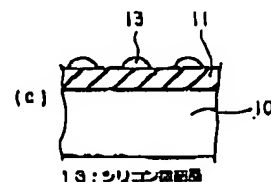
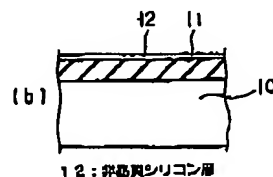
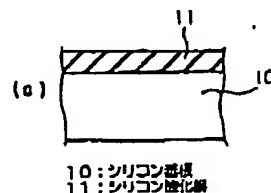
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】従来の生産工程に容易に取り込める半導体微結晶の製造方法、及びこれを利用した半導体装置を提供する。

【解決手段】基板(10、11)上に、非晶質および多結晶のいずれかよりなるI V族原子の層(12)を、500℃以下の低温で厚さ0.3nm以上5nm以下に形成した後に、600℃以上850℃以下の高温加熱により前記I V族原子の層を塊状化せしめて、I V族原子からなり、二次元状に分布しかつ互いに独立した直径50nm以下の半球状微細結晶(13)を形成する。



(2)

特開平11-40809

2

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上に形成された第1の絶縁層と、
前記第1の絶縁層上に形成され、第1の半導体微結晶の
上に第2の絶縁層を介して第2の半導体微結晶が積み上
げられた少なくとも1つの二重半導体微結晶と、
前記少なくとも1つの二重半導体微結晶を覆うように、
前記第1の絶縁層の上に選択的に形成された第3の絶縁
層と、を具備することを特徴とする半導体装置。

【請求項2】 前記二重半導体微結晶の直径が50nm
以下であることを特徴とする請求項1に記載の半導体装
置。

【請求項3】 前記第3の絶縁層上に形成され、少なく
とも相対する2辺を有する導電層と、
前記導電層の前記相対する2辺に沿った前記半導体基板
の表面に、前記導電層を挟むように形成された1対の不
純物添加領域と、をさらに具備することを特徴とする請
求項1に記載の半導体装置。

【請求項4】 基板上に、非晶質および多結晶のいずれ
かよりなるIV族原子の層を、500℃以下の低温で厚さ0.3nm以上5nm以下に形成する工程と、
前記IV族原子の層を形成した後、600℃以上850℃以下の高温加熱により前記IV族原子の層を塊状化せしめて、IV族原子からなり、二次元状に分布しかつ互いに独立した直径50nm以下の半球状微細結晶を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項5】 前記基板がシリコン酸化膜からなり、前記IV族原子の層がシリコンからなることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記基板がシリコン酸化膜からなり、前記IV族原子の層がゲルマニウムからなることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】 シリコン基板上に幅100nm以下の帯状のシリコン酸化膜層を形成する工程と、
前記基板上に、非晶質および多結晶のいずれかよりなるシリコン層を、500℃以下の低温で厚さ0.5乃至5nmに堆積する工程と、
730乃至850℃の高温で前記シリコン層を塊状化せしめて、前記帯状のシリコン酸化膜層上に1列に整列された複数のシリコン微結晶を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項8】 シリコン基板上に8原子層以下のゲルマニウム薄膜結晶層を形成する工程と、
600乃至800℃の熱処理で前記ゲルマニウム薄膜層を塊状化せしめて、直径100nm以下の複数のゲルマニウム微結晶を形成する工程と、
前記複数のゲルマニウム微結晶形成後、前記シリコン基板上にシリコン結晶層を形成し、前記複数のゲルマニウム微結晶を埋め込む工程と、を具備することを特徴とする

る半導体装置の製造方法。

【請求項9】 第1導電型の不純物を含む第1のシリコン層と、
前記第1のシリコン層上に形成された不純物を含まない第2のシリコン層と、
前記第2のシリコン層上に形成された直径100nm以下の複数のゲルマニウム微結晶と、
前記第2のシリコン層上に前記複数のゲルマニウム微結晶を埋め込むように形成された、不純物を含まない第3のシリコン層と、

前記第3のシリコン層上に形成された、第2導電型の不純物を含む第4のシリコン層と、を具備することを特徴とする半導体装置。

【請求項10】 IV族原子を含む基板上に、前記IV族原子の第1の酸化膜を形成する工程と、
前記第1の酸化膜上に前記IV族原子を含む第1の層を形成する工程と、
前記第1の層上に前記IV族原子の第2の酸化膜を形成する工程と、

前記第2の酸化膜上に、非晶質および多結晶のいずれかよりなる前記IV族原子の第2の層を、600℃以下の低温で厚さ0.3nm以上5nm以下に形成する工程と、

600乃至850℃で加熱処理することにより前記第2の層を塊状化せしめて、前記IV族原子からなる直径50nm以下の複数の微結晶を形成する工程と、
前記複数の微結晶をマスクとして、前記微結晶の下部以外の前記第2の酸化膜、前記第1の層をエッチングにより除去する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板と、
前記半導体基板の所定の領域に形成された第1のゲート絶縁膜と、
前記第1のゲート絶縁膜上に形成された直径50nm以下の複数の半導体微細構造と、
前記第1のゲート絶縁膜上に形成され、前記複数の半導体微細構造を埋め込む第2のゲート絶縁膜と、
前記第2のゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極の両側の前記半導体基板上に、前記ゲート電極に沿って形成された1対の不純物拡散層と、を具備し、前記複数の半導体微細構造の各々は、層間絶縁膜を介して上下に分離された2つ半導体微結晶を少なくとも含むことを特徴とする半導体装置。

【請求項12】 半導体基板と、
前記半導体基板上にゲート絶縁膜を介して形成され、直径50nm以下の塊状導体が帯状に連続して形成されたゲート電極と、
前記帯状ゲート電極の両側に沿って、これを挟むように、前記半導体基板上に形成された第1と第2の不純物添加領域と、を具備することを特徴とする半導体装置。

(3)

特開平 1-40809

3

【請求項 13】 半導体基板上的の素子領域に形成された絶縁膜を横切るように粒子を打ち込み、前記絶縁膜表面に複数のダメージ箇所を形成する工程と、前記複数のダメージ箇所を核として、前記絶縁膜上に直径 50 nm 以下の複数の塊状導体を形成し、かつ前記複数の塊状導体を連続させて冊状導体を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 14】 半導体基板上的の所定の領域を取り囲むように形成され、各々の直径が50 nm以下の複数の突起と、

前記複数の突起の接面を含む前記所定の領域にゲート絶縁膜を介して形成されたゲート電極と、

前記所定の領域を挟んで対向し、不純物が添加された第1と第2の半導体層と、

前記所定の領域内で、前記ゲート電極に電圧が印加される時に前記複数の突起の間の前記基板表面に形成される反転層と、を具備することを特徴とする半導体装置。

【請求項 15】 半導体基板表面に形成された第 1 の絶縁膜に、加速された粒子により複数のダメージ箇所を形成する工程と、

500℃以下の低温で厚さ5 nm以下のⅠⅤ族原子からなる非品質層を形成する工程と、

800℃以上の高温加熱により、前記ダメージ箇所を核として前記非晶質層を塊状化せしめ、前記第1の絶縁膜上に互いに離隔したサイズ50 nm以下の微細結晶により構成の地状導体を形成する工程と、

前記複数の現状導体をマスクとして、前記第1の絶縁膜をエッチング除去し、第2の絶縁膜を介して全面に電極層を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 16】 前記複数の塊状導体を形成する工程は、前記絶縁膜若しくは前記第 1 の絶縁膜の表面マイグレーションより大きな表面マイグレーションを有する材料を前記絶縁膜若しくは前記第 1 の絶縁膜上に均一に成長させた後、加熱処理により前記材料を塊状化せしめるものであることを特徴とする請求項 13 および請求項 15 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、微細な構造を有する半導体装置およびその作成方法に関する。

[0002]

【従来の技術】ナノメートルスケールの微細な半導体結晶を用いた構造は、各種デバイスへの応用が可能で、その作成方法を含め盛んに報告されている。しかしながら従来の技術は通常の量産可能な半導体製造に合い容れない特殊な方法を用いたものが殆どである。

【0003】すなわち減圧CVDあるいはプラズマCVDを用いて気相中で微細結晶を形成し、低温に冷却された基板上に堆積させる方法では、微細素子の量産工程で

4

問題となるパーティクルの発生等により、従来の半導体プロセスとは整合性が悪い。また気相中で形成される微細結晶同士が基板表面で複合化し、所望の微細結晶を均一に分布させることも困難であった。

【0004】一方、従来大規模集積回路において、MOSと呼ばれる半導体素子が利用されてきた。その集積度は年々上昇し、256MビットDRAMにおいてはそのゲート長が0.25 μ m(1996年)、1GビットDRAMにおいては0.18 μ m(2000年)、4GビットDRAMにおいては0.13 μ m(2005年)と、いうように微細化の進展が予測されている。

【0006】しかしながら、現在のフォトリソグラフィ技術を利用した微細化技術には限界があり、フォトリソグラフィ技術の次の技術といわれる電子ビーム（EB）露光、X線リソグラフィにも問題が山積している。

【0006】EB装置を利用した露光においては、電子ビームの半径は10nmのオーダーに達するが、レジストの解像度の限界によりせいぜい50nmが加工限界とされている。

20 【0007】また、X線を用いた微細加工においては、シンクロトロン光を利用するために、装置として莫大な設備投資が必要となり、その割には生産能率が上がらず実用化は現実的でないとされている。さらに、X線は放射線であるために、人体に悪影響を及ぼすことが懸念とされている。

【0008】以上の点から、 $0.05\mu\text{m}$ (50nm)以下のゲート長を持つ半導体素子の量産化は現段階では困難とされている。

【0009】一方、素子の微細化の観点から、単一電子素子といわれる微細化素子が検討されている。この素子においては、素子のキャパシタンス C が十分に小さく、トンネルジャンクションに蓄えられる帯電エネルギー($e^2 / (2C)$)が温度揺らぎ(kT)にほぼ等しい)に対して十分に大きいときに($e^2 / (2C) > kT$)、電子のトンネリングが抑制される、いわゆるクーロンブロッケイドという原理を利用している。この性質を利用することにより電流電圧特性に閾値が生じる。低消費電力という特性と併せて、この閾値の存在により、3端子トランジスタ、メモリ等の様々な応用の提案が数多くあされている。

【0010】実際にクーロンブロッケイド効果を発現させるためには、通常デバイスとして室温動作をさせようとする、キャパシタンスの大きさとして μF (10⁻⁶ フアラッド) 程度の小さいトンネルジャンクションを形成する必要がある。

【0011】IDM'93-541(Yano et al)やIDM'94-938(Takahashi et al.)等の文献に見られるような特殊な方法を用いてクーロンブロッケイド効果の室温での動作確認を行っている例はあるものの、現在の通常の半導体製造技術では、このような小さいジャンクションを作製す

(4)

特開平11-40809

るのは極めて困難である。

【0012】但し、クーロンブロッケイド効果は、現実には室温動作することが確認されていることから、LSIの回路の中に実際に組み込むことが可能な新しい技術として期待されている。

【0013】しかしながら、従来の単一電子素子、およびその製造方法には、以下のような問題が存在し、実際にLSIの素子応用には至っていない。

【0014】(1) 通常のLSI作製プロセスにおけるフォトリソを用いた作製方法では、リソグラフィの微細化の限界から、十分高温でクーロンブロッケイドが観測できるほど小さなキャパシタンスの作製は困難である。

【0015】(2) クーロンブロッケイドの本質的なトンネリングの性質を決定するトンネル障壁そのものについて、従来その特性は製造方法からの大きな制限があり、回路に応じた特性を持つ単一電子素子を作製することは困難であった。

【0016】(3) 通常の単一電子素子において電子がトンネリングする部分は、酸化膜等の絶縁体若しくはバンド図においてエネルギー障壁の高い物質を用いて形成されたトンネルジャンクションであるが、電子の感じるエネルギー障壁が高いために、エネルギー障壁の厚さは薄くしないと、電子自体のトンネリング確率が指数関数的に減ってしまう。このため、特に酸化膜の厚さを極めて繊細にコントロールする必要がある、これが均一な素子を作ることを一層困難なものにしていた。

【0017】

【発明が解決しようとする課題】本発明の第1の課題は、量産可能な半導体製造工程に容易に組み込める半導体微結晶の作成方法を提供し、またこれを利用した半導体装置を提供することにある。

【0018】本発明の第2の課題は、50nm以下のゲート長を持つ半導体素子、特にMOS型素子の構造と、量産可能で人体にも有害な影響を与えない製造方法を提供することにある。

【0019】本発明の第3の課題は、微細なゲート長を有し、制御性の良い単一電子素子およびその製造方法を提供することにある。

【0020】

【課題を解決するための手段】上記課題を解決するために本発明の半導体装置（請求項1）は、半導体基板と、前記半導体基板上に形成された第1の絶縁層と、前記第1の絶縁層上に形成され、第1の半導体微結晶の上に第2の絶縁層を介して第2の半導体微結晶が積み上げられた少なくとも1つの二重半導体微結晶と、前記少なくとも1つの二重半導体微結晶を覆うように、前記第1の絶縁層の上に選択的に形成された第3の絶縁層とを具備することを特徴とする。

【0021】さらに、前記二重半導体微結晶の直径が5

0nm以下であることを特徴とする（請求項2）。

【0022】本発明の半導体装置（請求項3）は、請求項1の構成に加え、前記第3の絶縁層上に形成され、少なくとも相対する2辺を有する導電層と、前記導電層の前記相対する2辺に沿った前記半導体基板の表面に、前記導電層を挟むように形成された1対の不純物添加領域とをさらに具備することを特徴とする。

【0023】本発明の半導体装置の製造方法（請求項4）は、基板上に、非晶質および多結晶のいずれかよりなるIV族原子の層を、500℃以下の低温で厚さ0.3nm以上5nm以下に形成する工程と、前記IV族原子の層を形成した後に、600℃以上850℃以下の高温加熱により前記IV族原子の層を塊状化せしめて、IV族原子からなり、二次元状に分布しかつ互いに独立した直径50nm以下の半球状微細結晶を形成する工程とを具備することを特徴とする。

【0024】上記の製造方法は、前記基板がシリコン酸化膜からなり、前記IV族原子の層がシリコンからなることが好ましい（請求項5）。

【0025】あるいは、前記基板がシリコン酸化膜からなり、前記IV族原子の層がゲルマニウムからなるようにしてもよい（請求項6）。

【0026】本発明の半導体装置の製造方法（請求項7）は、シリコン基板上に幅100nm以下の帯状のシリコン酸化膜層を形成する工程と、前記基板上に、非晶質および多結晶のいずれかよりなるシリコン層を、500℃以下の低温で厚さ0.5乃至5nmに堆積する工程と、730乃至850℃の高温で前記シリコン層を塊状化せしめて、前記帯状のシリコン酸化膜層上に1列に整列された複数のシリコン微結晶を形成する工程とを具備することを特徴とする。

【0027】本発明の半導体装置の製造方法（請求項8）は、シリコン基板上に8原子層以下のゲルマニウム薄膜結晶層を形成する工程と、600乃至800℃の熱処理で前記ゲルマニウム薄膜層を塊状化せしめて、直径100nm以下の複数のゲルマニウム微結晶を形成する工程と、前記複数のゲルマニウム微結晶形成後、前記シリコン基板上にシリコン結晶層を形成し、前記複数のゲルマニウム微結晶を埋め込む工程とを具備することを特徴とする。

【0028】本発明の半導体装置（請求項9）は、第1導電型の不純物を含む第1のシリコン層と、前記第1のシリコン層上に形成された不純物を含まない第2のシリコン層と、前記第2のシリコン層上に形成された直径100nm以下の複数のゲルマニウム微結晶と、前記第2のシリコン層上に前記複数のゲルマニウム微結晶を埋め込むように形成された、不純物を含まない第3のシリコン層と、前記第3のシリコン層上に形成された、第2導電型の不純物を含む第4のシリコン層とを具備することを特徴とする。

(5)

特開平11-40809

7

【0029】本発明の半導体装置の製造方法（請求項10）は、ⅠⅤ族原子を含む基板上に、前記ⅠⅤ族原子の第1の酸化膜を形成する工程と、前記第1の酸化膜上に前記ⅠⅤ族原子を含む第1の層を形成する工程と、前記第1の層上に前記ⅠⅤ族原子の第2の酸化膜を形成する工程と、前記第2の酸化膜上に、非晶質および多結晶のいずれかよりなる前記ⅠⅤ族原子の第2の層を、500℃以下の低温で厚さ0.3ないし5nmに形成する工程と、600乃至850℃で加熱処理することにより前記第2の層を塊状化せしめて、前記ⅠⅤ族原子からなる直径50nm以下の複数の微結晶を形成する工程と、前記複数の微結晶をマスクとして、前記微結晶の下部以外の前記第2の酸化膜、前記第1の層をエッチングにより除去する工程とを具備することを特徴とする。

【0030】本発明の半導体装置（請求項11）は、半導体基板と、前記半導体基板の所定の領域に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された直径50nm以下の複数の半導体微細構造と、前記第1のゲート絶縁膜上に形成され、前記複数の半導体微細構造を埋め込む第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板上に、前記ゲート電極に沿って形成された1対の不純物拡散層とを具備し、前記複数の半導体微細構造の各々は、層間絶縁膜を介して上下に分離された2つ半導体微結晶を少なくとも含むことを特徴とする。

【0031】本発明では、基板上に薄く堆積した基板とは異なる材質の薄膜層が、表面が酸化されない条件で高温加熱したときに塊状化する性質を利用して半導体微結晶を作成する。薄膜層を堆積した後に高真空雰囲気中で高温加熱することにより生ずる塊状化を利用することにより、通常の半導体製造工程と互換性の高い半導体微結晶作成技術が提供できる。

【0032】上記第2の目的を達成するために、本発明の半導体装置（請求項12）は、半導体基板と、前記半導体基板上にゲート絶縁膜を介して形成され、直径50nm以下の塊状導体が帯状に連続して形成されたゲート電極と、前記帯状ゲート電極の両側に沿って、これを挟むように、前記半導体基板上に形成された第1と第2の不純物添加領域とを具備することを特徴とする。

【0033】また上記半導体装置の製造方法（請求項13）は、半導体基板の素子領域に形成された絶縁膜を横切るように粒子を打ち込み、前記絶縁膜表面に複数のダメージ箇所を形成する工程と、前記複数のダメージ箇所を核として、前記絶縁膜上に直径50nm以下の複数の塊状導体を形成し、かつ前記複数の塊状導体を連続させて帯状導体を形成する工程とを具備することを特徴とする。

【0034】前記複数の塊状導体を形成する工程は、前記絶縁膜の表面マイグレーションより大きな表面マイグ

8

レーションを有する材料を均一に成長させた後、加熱処理により前記材料を塊状化せしめるものであることを特徴とする（請求項16）。

【0035】絶縁膜（酸化膜）の上に電子ビーム（EB）等によりダメージを与えた後、シリコンのエピタキシャル成長を行うと、結晶成長の初期過程においてそのダメージを与えた場所からシリコンの固まりが成長し始める。その大きさは結晶成長の時間にもよるが、50nmを切る大きさのドット状のものが制御性よく形成される。

【0036】MOS型半導体素子において、ゲート電極を作成する部分に対して、ゲート酸化膜を形成した後、EBのビーム径を絞りEBの間隔が数十nmになるようにしてEBを打ち込む。その後この結晶成長を行い、その成長の初期過程で生成するドットの大きさを打ち込んだ電子ビームの帯に合わせると、シリコンドットの帯が生成される。このドットの帯の端を通常の電極パッドにつなぐことにより、ドットの大きさに依存するゲート長を持つ3端子のMOS型FETが形成される。

【0037】この工程はレジストを用いるのではないため、レジスト自体の限界がゲート長の制限をすることはなく、制御性は良くなる。また、X線のように大きな設置面積と人体への悪影響も無く、生産技術としても優れていることが特徴としてあげられる。

【0038】本発明の第3の目的を達成するために、本発明の半導体装置（請求項14）は、半導体基板上の所定の領域を取り囲むように形成され、各々の直径が50nm以下の複数の突起と、前記複数の突起の表面を含む前記所定の領域にゲート絶縁膜を介して形成されたゲート電極と、前記所定の領域を挟んで対向し、不純物が添加された第1と第2の半導体層と、前記所定の領域内で、前記ゲート電極に電圧が印加される時に前記複数の突起の間の前記基板表面に形成される反転層とを具備することを特徴とする。

【0039】また、上記半導体素子の製造方法（請求項15）は、半導体基板表面に形成された第1の絶縁膜に、加速された粒子により複数のダメージ箇所を形成する工程と、500℃以下の低温で厚さ5nm以下のⅠⅤ族原子からなる非晶質層を形成する工程と、600℃以上の高温加熱により、前記ダメージ箇所を核として前記非晶質層を塊状化せしめ、前記第1の絶縁膜上に互いに離隔したサイズ50nm以下の微結晶により複数の塊状導体を形成する工程と、前記複数の塊状導体をマスクとして、前記第1の絶縁膜をエッチング除去し、第2の絶縁膜を介して全面に電極層を形成する工程とを具備することを特徴とする。

【0040】前記複数の塊状導体を形成する工程は、前記第1の絶縁膜の表面マイグレーションより大きな表面マイグレーションを有する材料を均一に成長させた後、加熱処理により前記材料を塊状化せしめるものであるこ

(6)

特開平11-40809

9

とを特徴とする（請求項16）。

【0041】本発明の単一電子素子においては、電荷の数を正確にコントロールするために微細な構造を必要とするアイランド部分を、電子ビーム等でダメージを与えた後の超高真空（UHV）-CVDにより生成されたシリコン微細ドット間の反転層領域としている。

【0042】この方法においてアイランドの大きさを決定するのは、アイランドの周りのシリコン微細ドットの間隔とUHV-CVDにより生成するシリコン微細ドットの大きさである。従来のアイランドの大きさはリソグラフィの限界による寸法そのものに制限されていた。

【0043】本発明においてアイランドの周囲のシリコン微細ドットの間隔を現状のリソグラフィの限界寸法とすれば、UHV-CVDによるシリコン微細ドットの大きさを制御することで、最終的に形成される反転層アイランドの大きさは、現状のリソグラフィの限界寸法より遙かに小さいものとすることができる。

【0044】本発明において、トンネル障壁はアイランド部分とソース間、またはアイランド部分とドレイン間を結ぶ、シリコン微細ドットの間隔の狭小部分である。バンド図として見ると、この部分は酸化膜等のようなポテンシャル障壁の高さを有しないので、加工寸法に対するトンネル確率の制御は容易である。

【0045】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0046】（第1の実施形態）図1に本発明の第1の実施形態に係る半導体装置の形成方法を示す。第1の実施形態では、表面を熱酸化したシリコン基板上にシリコンの微細結晶を形成する。

【0047】まず最初に、面方位（100）のシリコン基板10上に、厚さ100nmの熱酸化膜11を形成する（図1（a））。続いてこの基板を超高真空（UHV）CVD装置に導入し、基板を加熱せずに厚さ1nmの非晶質シリコン層12の堆積を行う（図1（b））。

【0048】この場合、非晶質シリコン層12の堆積のための原料は Si_2H_6 ガスを用いており、この原料ガス分子をCVD装置内の基板位置を見込む位置に設置された補助ヒーターで熱分解した後、供試基板に供給することにより、基板表面で原料分解が起こらない室温においてもシリコン薄膜の形成が可能となる。本発明に使用したUHV-CVD装置の詳細は特開平7-245236に記載されている。

【0049】この方法により作成した厚さ1nmの非晶質シリコン薄膜は極めて平坦である。また非晶質薄膜を形成する方法は、本実施形態で説明したUHV-CVD装置に限るものではない。例えば、固体シリコン原料を電子線で加熱し基板に供給する分子線結晶成長（MBE）法や、プラズマ放電により気体原料分子を分解して基板に供給するプラズマCVD法等で得られる薄膜を用

10

いても、同様の微細結晶を形成できる。またこの薄膜は非晶質である必要もない。多結晶シリコン薄膜を用いても同じ結果が得られる。

【0050】この場合重要な課題は、最初の薄膜層に酸素等の不純物混入を抑制することである。初期のシリコン層に酸素が混入すると、シリコン原子のマイグレーションが抑制されるため、塊状化が進まない。特に初期シリコン層を形成する際に、基板温度を上昇させ、原料分子の表面分解により薄膜を生成するLPCVD法等の方法では、界面に多量の酸素が混入する可能性が高いので好ましくない。

【0051】本実施形態では、シリコン薄膜堆積時の基板温度は室温としているが、酸化膜基板中の酸素と、堆積するシリコンとが反応を起こさない範囲において基板温度を上昇させることは問題ない。この場合基板温度は500℃以下であれば、原料シリコンと基板表面の酸素との反応は低く抑えられる。しかし、シリコン原料が分子原料分解用のヒーターのように高温ソースから供給される場合は、基板温度は300℃以下が望ましい。

【0052】続いて、作成した薄膜層を大気に暴露せずに（表面が酸化されない状態で）800℃で加熱する。具体的にはUHV-CVDで非晶質薄膜形成後に原料分子分解用の補助ヒーターを切り、基板加熱ヒーターを昇温し基板を超高真空中で3分間加熱する。この加熱により熱酸化膜上に平坦に形成されていた非晶質シリコン層は、塊状化現象により最大直径10nm、高さ5nm程度の独立した結晶13となる（図1（c））。すなわち、熱酸化膜上にシリコンの微細結晶が形成できる。

【0053】このとき基板上に形成されたシリコン微結晶の密度は、 $3.5 \times 10^{11} / \text{cm}^2$ であった。これは、初期の非晶質シリコン層のシリコン原子が気相中へ脱離・蒸発することなく、基板上での質量移動により微結晶に変形したことを示している。この場合基板を加熱する時間を増加すると、一つの微結晶の大きさは大きくなるが、さらにアニールを続けるとシリコン原子が酸化膜基板の酸素と反応し脱離をはじめ、やがて微結晶は消滅する。

【0054】この場合、初めに堆積する非晶質シリコン薄膜の厚さと、塊状化を起こすための加熱温度により、形成される微細結晶の大きさを制御することが可能である。例えば、当初の非晶質層の厚さを0.5nmとし、加熱温度を730℃とすることにより、微細結晶の最大直径を5nm、高さを2nmとすることができる。この場合、初期非晶質の厚さが0.5nm以下の条件では、アニール温度が高温（800℃以上）の時に酸化膜との反応が起こり、シリコン原子の一部が脱離するため、塊状化が進まないことがある。ここで、初期の非晶質の厚さに対して、アニール条件（温度・時間）と得られる微結晶の大きさの関係を図2（a）に示す。

【0055】以上は、酸化膜上に非晶質シリコン層を堆

(7)

特開平11-40809

11

積し、加熱により微結晶を形成せしめた例であるが、同様に酸化膜上に非晶質ゲルマニウム層を堆積し、加熱により微結晶を形成せしめることも可能である。この場合、ゲルマニウムの塊状化はシリコンと比べより低温でも起こりうるため、初期非晶質の厚さ、アニール条件と得られる微結晶の大きさは図2(b)に示す通りとなる。

【0056】従来十分に厚い非晶質シリコン層を表面が酸化されない条件で加熱した場合に、表面マイグレーションにより平坦な表面形状が変形し、きのこ状の固まりが形成されることが知られている。しかし非晶質層の厚さを薄くした場合に生じる塊状化現象は、本発明者等が初めて得た知見であり、独立した微結晶が形成されるためには、下地との相互作用が強くないことが重要であることを発見した。

【0057】本実施形態で利用した基板は表面を熱酸化したシリコン基板であるが、高温加熱が可能で、その際シリコンとのミキシングが発生しないことが満たされればいずれの基板（例えばシリコン窒化膜）でも使用可能である。ただし、塊状化を生じせしめるためには、基板の表面マイグレーションよりも、被堆積物の表面マイグレーションが大きいことが必要とされる。さらに、基板表面を予め異なる種類の薄膜層でパターニングしておけば、パターンに応じて微結晶の配置、大きさ等を制御することも可能である。

【0058】また上述の通り、酸化膜上に非晶質シリコンを堆積し、加熱により塊状化せしめる場合、加熱条件によっては基板中の酸素と微結晶中のシリコン原子が反応し、微結晶が消滅することが起こりうる。しかしこれは基板が酸化膜の場合に特有の現象であり、酸素を含まない基板（例えばシリコン窒化膜）では起こり得ない。従って酸化膜上の一部を窒化膜でパターニングした基板において、窒化膜上にのみ微結晶を形成し、酸化膜上の微結晶を脱離消滅させることも可能である。

【0059】（第2の実施形態）図3は、本発明の第2の実施形態に係る半導体装置の形成方法を示す断面図である。第2の実施形態では、第1の実施形態で示した微細結晶を応用した素子に関するものである。

【0060】まず、厚さ3nm程度（あるいはそれ以下）の薄い熱酸化膜22を有するシリコン基板20（面方位(100)）上に、第1の実施形態の方法でシリコン微結晶を形成する（図3(a)）。第1の実施形態同様に、基板温度を室温のまま厚さ0.5nmの初期非晶質層を堆積し、その後基板温度を730℃に加熱することにより、直径5nm、高さ2nmの微結晶22を熱酸化膜21上に形成する。

【0061】この後にCVD法により酸化シリコン膜層23を堆積し、さらに多結晶シリコン層24を堆積する。このようにして形成された積層構造の模式的断面図を図3(b)に示す。シリコン結晶基板20上にシリコ

12

ン微結晶21を含むシリコン酸化膜層23、さらにその上に多結晶シリコン層24が形成された構造が実現できる。

【0062】酸化膜層23および多結晶層24をそれぞれゲート酸化膜、およびゲート電極に見立てゲートサイズに加工し、さらによく知られた方法によりソース・ドレイン領域26、27を形成することにより、MOSFET構造を作成する（図3(c)）。

【0063】このMOSFETにおいては、ゲート酸化膜23中にシリコン微結晶22が存在するために、従来のMOSFETとは異なる動作が期待できる。すなわち、例えば基板側よりシリコン微結晶に電荷を注入することにより、MOSFET動作の閾値電圧を変化させることができる。さらに、1つの微結晶に蓄積される電荷量が小さいため、微少な電荷量の蓄積をMOSFETの閾値電圧の変化として捕らえる記憶素子として使用できる。

【0064】上記シリコン微結晶を含むMOSFET構造は、プラズマCVD等を用いる従来技術を用いても類似なものは作成可能であるが、種々な問題を生じる。図4は従来技術によりシリコン微結晶を作成する方法の模式図である。真空容器31にシリコン原子を含む気体分子、例えばモノシランあるいはジシラン等を導入し、プラズマ放電を発生させて、気相中で原料分子の分解を行う。

【0065】この時、原料分子の分圧が適当な値に設定されれば、気相中で分解反応により発生したシリコン原子同士が、さらに結合してシリコン原子のみから成る微細な結晶33が生じる。これら微結晶を、低温に冷却した基板34に堆積させることにより、所定の基板上にシリコン微結晶を配置することができる。なお、図4において、32はガス導入口、35は基板支持台、36はガス排出口、37は上部電極である。

【0066】ここで基板温度が高い場合、基板表面に到達した微結晶同士がさらに反応を起こし結合することにより、より大きな結晶が生じてしまい、微結晶のサイズの制御性が低下する。通常基板を液体窒素等で冷却したシンクで低温に保持することが多い。

【0067】これら半導体基板を室温以下の温度に冷却する工程は、通常の半導体製造工程では採用されておらず、従来の製造プロセスとは整合性が悪い。また必要以上に大量の微粒子が気相中に生じ、半導体製造工程において歩留まり低下の最大の原因となるパーティクルの発生を伴うため、量産工程には不向きである。

【0068】また気相中で発生した微結晶を基板表面に堆積させる従来技術に基づく方法では、発生した微結晶は無秩序に基板上に到達するため、反而で微結晶が配置する間隔も無秩序となり、確率的に複数の微結晶の複合化が発生する。これに加え、低温に冷却した基板上に気相中で生成された半導体微結晶を配置する従来技術に

(8)

特開平11-40809

13

基づく方法では、堆積する微結晶と基板との密着性が悪いという問題がある。

【0069】図5(a)は従来技術に基づいて微結晶42を基板41上に配置した場合の模式的な断面図である。基板上に球状に近い微結晶が付着した形態になる。このような形態では微結晶が配置した基板上に、さらに別な種類の被膜を堆積させる場合、例えば先の例のようにCVD法でシリコン酸化膜44を堆積する場合、この被膜44と基板41の間に「す」43を発生する可能性が高い(図5(b))。

【0070】また、先の例のような複合化した微結晶も「す」を発生する原因となる。このように発生した「す」は、その後の熱工程で破裂あるいは収縮して周囲の構造を破壊する。このような原因によるトラブルは、集積度の高い半導体工程では致命的な不良を引き起こし、歩留まり低下を招く。

【0071】一方、本発明で示された塊状化による方法では、平坦に堆積した層が塊状化を起こすため、本質的に微結晶を均質に配置することが可能となり、「す」の発生原因となる微結晶同士の複合化は殆ど起こらない。また、微結晶と基板との密着性が高いため、この意味でも「す」の発生を飛躍的に低減できる。

【0072】図6は、本発明の方法により、図5(b)と同様な構造を形成した例を示すもので、51はシリコン基板、52は微結晶、53はシリコン酸化膜である。図5(b)に見られるような「す」は発生していない。

【0073】(第3の実施形態)図7は本発明の第3の実施形態に係る半導体装置の構成を示す斜視図である。第3の実施形態は、本発明の半導体微結晶の他の応用例を示す。

【0074】まず、シリコン結晶基板61上に、予め長さ1 μ m、幅100nm、厚さ20nmに区画されたシリコン酸化膜層の領域62を用意する(図7(a))。この酸化膜領域62の作成は、基板表面全体を熱酸化した後、フォトエッチングプロセスでパターニングする従来方法で行うことができる。

【0075】この加工された基板上に第1の実施形態で示した方法によりシリコン微結晶を形成する。この場合、初期非晶質シリコン層の厚さは2nmとし、基板温度を室温として堆積する。その後基板温度を830℃まで加熱し、直径30nmの微結晶を作成する。この時酸化膜領域62以外の領域(シリコン結晶が露出している領域)では、堆積された非晶質シリコンは加熱により下地結晶と均質な平坦層となる。

【0076】一方短冊状の酸化膜領域62の上に堆積した非晶質シリコン層は、加熱による塊状化の際に、短冊状領域62の境界付近では、シリコン原子は酸化膜部分の外側のシリコン結晶部に移動する。また境界から離れた内側部分では、短冊状領域62の中央部に集積し微結晶を形成する。

14

【0077】その結果、本実施形態のように、塊状化により発生する微結晶の大きさに対して、領域の幅が充分な大きさを持たない場合には、微結晶の位置をその領域中央部に配置することが可能となる。この結果、図7(b)示すように、酸化膜領域62の中央に微結晶が1列に配置された構造が可能となる。

【0078】このように、短冊状酸化膜の上に微結晶を列状に配置する手法は、短冊状の領域の幅(大きさ)や堆積する初期非晶質層の厚さ、塊状化のための加熱温度等の組み合わせにより任意に制御することが可能である。また本実施形態では、塊状化を起こす領域として酸化膜を用いているが、シリコン窒化膜等も利用できることは第1の実施形態と同様である。

【0079】(第4の実施形態)次に、シリコン結晶基板上にゲルマニウムの量子閉じ込め構造を作成する実施形態を説明する。図8は、第4の実施形態に係わる量子閉じ込め構造の基本的な作成手順を示す断面図である。

【0080】まず、面方位(100)のシリコン基板71上に厚さ4原子層(1.23nm)のゲルマニウム薄膜結晶層72を形成する。この例では、UHV-CVD装置を用い、GeH₄ガス分子を500℃の基板表面で熱分解する手法によりゲルマニウム薄膜結晶を作成した(図8(a))。

【0081】ゲルマニウム結晶層をシリコン結晶基板の上に形成する場合、ゲルマニウム結晶とシリコン結晶の間に発生する歪の効果により、薄膜層の厚さが厚くなってきたときに、ドットの発生が観察されることが知られている。しかし本実施形態で用いるような温度条件で、厚さ4原子層程度あるいはそれ以下の場合には、平坦性の高い薄膜結晶層が得られる。厚さ8原子層の場合には、初期の平坦性は4原子層以下に比較して悪くなるが、以下に述べる塊状化により得られるドットの大きさは、制御されたものとなる。

【0082】ゲルマニウム薄膜結晶層形成後に、引き続き750℃、10分間の加熱を行う。この加熱により平坦であったゲルマニウム薄膜層が、塊状化により微細な結晶73となる。この条件では、直径50nm、高さ12nmの微細結晶が形成される(図8(b))。

【0083】再び基板温度を600℃に設定し、Si₂H₆を原料としてシリコン結晶層74を厚さ200nm成長させる。この時ゲルマニウムの微結晶には形状の変化は起こらないため、ゲルマニウムの微細結晶部分をシリコン結晶により挟み込むことにより、量子閉じ込め構造が作成できる。

【0084】本実施形態についても、当初作成するゲルマニウム薄膜層の厚さと塊状化のための加熱温度により、微細結晶の大きさを制御することが可能である。ゲルマニウム薄膜層の厚さを2原子層にし、加熱温度を700℃に設定することにより、微細結晶の大きさを直径10nm、高さ2nmとすることができる。様々な条件によ

(9)

特開平11-40809

15

り微結晶の大きさを図9に示す。図9の2原子層において、温度は650℃以上しか記載されていないが、低温域の余裕度は比較的大きく、600℃であっても850℃と同様なサイズの微結晶を得ることができる。

【0085】また、低温で平坦に形成したゲルマニウム結晶薄膜層を高温加熱して塊状化させる方法が実施し易いが、予め高温に加熱したシリコン基板上にゲルマニウム原料を供給する方法でも、微結晶を形成することは可能である。例えば750℃に加熱したシリコン基板にゲルマニウム原料を供給して170nm程度の大きさの微結晶を作成することもできる。

【0086】上記実施形態ではゲルマニウム微細結晶を挟み込む層は、不純物（ドーパント）を含まないシリコン層としたが、p型およびn型のドーパントを添加した層でゲルマニウム微細結晶層を挟み込むように積層してもよい。このようにしてpn接合を形成することにより、ゲルマニウム量子ドットに電流注入し、発光ダイオードを作成することが可能である。次にこのような例を説明する。

【0087】（第5の実施形態）図10は、第4の実施形態のゲルマニウムドットの作成方法を用いて作成した発光ダイオードの断面図である。第4の実施形態と同一部分には同一番号を付して重複する説明を省略する。

【0088】本実施形態においては、層をドーパントとするn型基板70上に不純物を含まないシリコン層71を厚さ5nm、UHV-CVD法で作成し、さらに第4の実施形態の方法でゲルマニウム量子ドット73を形成し、その上に再び不純物を含まない厚さ5nmのシリコン層74、そして最上層にボロンをドーパントとするp型シリコン層75を形成して、発光ダイオードを作成している。

【0089】この場合ゲルマニウムの量子ドットは発光中心の役割をしており、その大きさを最大10nm程度とした場合、赤色から赤外の発光が確認できる。

【0090】（第6の実施形態）図11は、第4の実施形態のゲルマニウムドットの作成方法を用いて作成した発光ダイオードの他の例を示す。

【0091】n型シリコン基板基板81上に、厚さ5μmのドーパントを含まない第1のシリコン層82を形成し、その上に第4の実施形態の方法でゲルマニウムドット83を形成する。その上に厚さ1μmでドーパントを含まない第2のシリコン層84を形成し、表面からn型不純物をイオン注入してn型領域85を形成し、さらにp型不純物をイオン注入してp型領域86を形成する。これによりpin接合が形成されて発光ダイオードとなる。

【0092】この方法では、ゲルマニウムドット作成工程以外は通常のシリコン量産プロセスを用いているため、大口径シリコン基板上に大量の発光ダイオードを作成することができる上、素子の集積化、複合化が容易で

16

ある。

【0093】（第7の実施形態）図12は、第7の実施形態に係る発光ダイオードの作成手順を示す断面図である。本実施形態では、シリコン酸化膜がパターニングされたn型シリコン基板上に選択成長法を用いてゲルマニウム量子ドット領域を作成する例を示す。

【0094】図12(a)に示すように、n型基板91上に形成された厚さ100nmの熱酸化膜92に、直径10nmの開口部98を設ける。次にこの開口部98内に選択成長法で厚さ10nmのシリコン層93を成長させる。さらにその上に同じく選択成長法により厚さ1.5原子層のゲルマニウム層94を積層する（図12(b)）。

【0095】その後700℃で高温加熱して、ゲルマニウム微細結晶95を形成する（図12(c)）。さらに非選択成長法で厚さ10nmのシリコン層96を成長させた後、p型ドーパントを含むシリコン層97を形成し、pinダイオード構造を作成する（図12(d)）。

【0096】このように、シリコン酸化膜に囲まれた領域に発光ダイオード部を形成することにより、屈折率の違いによる光閉じ込め構造を容易に形成できる。しかも従来のシリコンプロセスの応用で構成できるため極めて有利である。また周囲の酸化膜の形状や、他材料との組み合わせにより導波路を形成することも、既存の半導体プロセスにより可能となる。

【0097】（第8の実施形態）図13は、第8の実施形態に係る面発光レーザーの断面図である。本実施形態では、第7の実施形態の構造をSOI基板上に形成している。素子分離が容易となる上、基板上下方向にも光閉じ込めが容易にできる。この構造によれば基板表面側からの光取り出しを行うことにより、多数の素子を集積した面発光レーザーが作成可能となる。

【0098】シリコン基板101上に厚さ500nmのシリコン酸化膜102を挟んで厚さ150nmのp型シリコン層（SOI層）103を有するSOI基板を用意する。この基板の表面に厚さ200nmの熱酸化膜104を形成する。この時SOI層103の厚さは50nm残る。

【0099】続いて表面の熱酸化膜に1μm×250μmの開口部を設け、下地のSOI層103を露出させる。その結果露出したシリコン層上のみシリコン層が成長できる。

【0100】この基板上に薄膜シリコン層を選択成長法を用いて100nm成長させる。この場合下側の50nmには不純物としてボロンを添加してp型層105とし、上側50nmは不純物を含まないシリコン層106とする。

【0101】この上にさらに厚さ3原子層のゲルマニウム薄膜を、第4の実施形態で述べた方法により形成した

(10)

特開平11-40809

17

後、高温加熱によりゲルマニウムドット107に変形させる。このときゲルマニウムドットの典型的な大きさは10nmとする。また、本発明の方法ではゲルマニウムガス分子はシリコン結晶上のみで分解する（選択成長する）ため、酸化膜上にはドットは形成されない。

【0102】この上にさらにシリコン薄膜を400nm成長させる。この時酸化膜上にも薄膜成長が起こる非選択成長のモードで行う。また膜厚400nmの内、下側50nmには不純物を添加しない層108とし、その上の350nmはヒ素を高濃度に含む層109とする。

【0103】このように作成した層はゲルマニウムの量子ドット107を含む層を中心にpin構造となっており、電流注入が可能なダイオードが構成される。ここで励起をするによりレーザー発振が可能となる。

【0104】ゲルマニウム量子ドット107を含む層は、予め用意された酸化膜層104に取り囲まれているため、光閉じ込めも可能である。また光の取り出し方向の酸化膜に関しては、予め作成された酸化膜104の対応部分を一旦削り取り、シリコン層103を露出させた後、再び熱酸化させることも有効である。

【0105】一般に化合物半導体レーザーではキャビティの形成にへき開端面を利用しているが、本実施形態の構成ではシリコン結晶と整合性の良い熱酸化膜を利用できるため、微細な量産プロセスに整合性の悪いへき開工程を組み合わさる必要がない。

【0106】（第9の実施形態）次に、トンネル酸化膜を介して積み重ねられた2つのシリコン微粒子を有する半導体装置について説明する。図14は、その作成手順を示した半導体装置の断面図である。

【0107】半導体基板110の上に形成された厚さ7nmの第1の酸化膜111の上に、厚さ5nmの多結晶シリコン層112を形成する。ただしこの層は必ずしも多結晶であることを要しない。薄膜結晶シリコン層を有するSOI基板を用いても、その後のプロセスは同じであり、同様な効果を奏する。

【0108】続いて、この多結晶シリコン層の表面に酸化膜113を形成する（図14（a））。この酸化膜形成は通常の熱酸化法でよく、表面に1.5nmの酸化膜を形成する。これにより多結晶シリコン層112の厚さは4.8nm程度となる。酸化膜113はCVD法による堆積酸化膜でも構わない。

【0109】続いてこの酸化膜113上に厚さ1nmの非晶質シリコン層114を形成する（図14（b））。この非晶質シリコンの形成は、500℃以下の低温で行うのが望ましい。すなわち、基板側酸化膜113（トンネル酸化膜）と上側シリコン層114の間の層変化の急峻性が要求される。

【0110】非晶質シリコン層114形成後に、加工された基板を800℃程度に加熱する。この加熱により最上面の非晶質シリコン層114は塊状化して粒径10nm

18

m程度の微細な結晶115となる（図14（c））。具体的には、初期の非晶質シリコン層を1nmとして、800℃で3分の加熱を加えることにより、直径10nmの半球状シリコン微粒子を形成することが可能である。

【0111】多結晶シリコン層112の形成あるいは最下層酸化膜111形成から後の工程は、大気に曝さずに、同じ処理室で連続的に進めることが望ましい。大気に曝すと多結晶シリコン層112表面に自然酸化膜が形成され、酸化膜113において設計通りの膜厚が得られないことがあるためである。さらに、非晶質シリコン層114を加熱して塊状化する際に、非晶質シリコン層114の表面が酸化されていないことが必要とされるからである。さらに前述のように、基板側酸化膜113と上側シリコン層114の間の層変化の急峻性が重要なファクターとなる。

【0112】続いて基板を成膜装置より取り出し、形成されたシリコン微粒子115をマスクにしてエッチングを行う。エッチングはドライエッチングでもウェットエッチングでも構わない。まず、大気取り出しにより生じた自然酸化膜及び多結晶シリコン層112上部の酸化膜層を除去した後、多結晶シリコン層112をエッチングにより削る。

【0113】このときマスクとなるシリコン微結晶115も同時にエッチングされるが、エッチング量を制御することにより、塊状化により得たシリコン微粒子115およびその下部の多結晶シリコンを残し、その他の領域の多結晶シリコン層112を除去することが可能である。本実施形態において、塊状化直後に直径10nmであったシリコン微粒子をマスクに使い多結晶シリコン層をエッチングすることにより、シリコン微結晶の直径が3nmになり、その下部の多結晶層のみを残すことが可能であった。

【0114】また多結晶シリコン層をエッチングする際に、酸化膜に対して選択性のあるエッチング法を用いることにより、多結晶シリコン層の下側の酸化膜でエッチングを停止することも可能となる。ただしこの場合、表面の酸化膜の除去と多結晶シリコン層の除去に異なるエッチングを交互に繰り返す必要がある。

【0115】上記の方法により、酸化膜の上にシリコン微粒子を2重に積み重ねた微粒子構造116が作成できる（図14（d））。このようにして作成した2重微粒子116を利用して、図15に示すような記憶素子の構成が可能である。

【0116】2重微粒子116含む基板上に、CVD法により酸化膜117を厚さ25nmで堆積し、2重微粒子116を埋め込む。酸化膜117を堆積後に、多結晶シリコン層118を形成し、ゲート電極に加工し、さらにソースおよびドレイン領域（不純物添加領域）119を形成することにより2重微粒子を含むナノクリスタルメモリーが完成する。この2重微粒子を浮遊ゲートとし

(11)

特開平11-40809

19

て使用すれば、より微細な制御が可能なメモリが実現される。

【0117】ここで、図15に示すナノクリスタルメモリの動作に関し説明する。まず基板110、ゲート電極118間にゲート電極側が正電位となるような強い電場を印加する。このときゲート酸化膜にトンネル電流が流れ、二重微粒子116の下部に電子が蓄積される。ひとたび二重微粒子中に蓄積された電子は、酸化膜のバリア内に閉じ込められるために、基板-ゲート電極間の電場を弱めても放出され難く保持される。二重微粒子の下部に電子が蓄積された状態でソースドレイン間に電圧を加え電流を流すと、微粒子下部の電子により生ずる電場のために、ソースドレイン間の電流が制御される。

【0118】次に、ゲート電極-基板間にゲート電極側を正電位とする弱い電場を加えると、二重微粒子下部にあった電子は二重微粒子上部に移動する。この場合も二重微粒子の上部と下部はトンネル酸化膜で分離されているために、ゲート電極-基板間の電場を戻しても、電子は二重微粒子上部に止まる。この状態では二重微粒子下部に電子が蓄積されていた場合と比べ、チャネルに与える電場は弱められる。従ってソースドレイン間に電圧を印加し電流を流そうとした場合流れやすくなる。

【0119】すなわち、二重微粒子の上部あるいは下部への電子の移動により、ソースドレイン間の電流の流れ易さに変化する。このことはMOSFETのしきい値電圧の変化として検出することが可能である。二重微粒子の上下間の電子の移動はゲート電極に加える電圧の正負により制御が可能である。

【0120】従来のナノクリスタルメモリでは、チャネルからゲート酸化膜を介して微粒子に導入された電子を、微粒子中に保持することにより、記憶保持動作を行っているために、微粒子中への電子の導入の容易さ（即ち記憶書き込みの容易さ、速さ）と微粒子への電子の保持の安定性（即ち記憶の保持時間）は相反する事象であった。

【0121】一方本発明においては、二重微粒子とチャネル間のゲート酸化膜は7nmと比較的厚く設定するため、ひとたび二重微粒子に閉じ込められた電子は、安定的に保持できる。さらに記憶のON/OFFは二重微粒子内の薄いトンネル酸化膜間の電子の移動で行うため、より高速動作が可能となる。

【0122】（第10の実施形態）図16は、本発明の第10の実施形態に係る3重微粒子構造を作成する手順を示す断面図で、図17が本実施形態の完成品の断面図である。

【0123】半導体基板120上に形成された第1の酸化膜121の上に、厚さ5nmの第1の多結晶シリコン層122、さらに厚さ3nmの第2の酸化膜層123、さらにその上に再び厚さ5nmの第2の多結晶シリコン層124を積層し、最上層には厚さ3nmの第3の酸化

20

膜層125を形成する（図16（a））。

【0124】次に、第3の酸化膜層125の上に厚さ1nmの非晶質ゲルマニウム層126を堆積する（図16（b））。この後のプロセスは先の第9の実施形態とほぼ同じである。非晶質ゲルマニウム層126の表面を大気に曝さない条件で加熱処理を加え、塊状化現象によりゲルマニウムの微粒子127を形成する（図16（c））。ここで、ゲルマニウム微粒子の大きさは直径10nmである。

【0125】さらにこのゲルマニウム微粒子127をマスクに、下層の酸化膜125、123および多結晶シリコン層124、122をエッチングする（図17）。ゲルマニウム微粒子をマスクとして下層の多結晶シリコン層をエッチングする場合は、エッチング時の選択比が高くとれるので、下層シリコン層が複数ある場合でもエッチングすることが可能となる。この方法により、図17示すように薄い酸化膜で区分された3重の微粒子を積層した3重微粒子構造128の作成が可能となる。

【0126】図18は、2重微粒子構造の応用例を示す。薄い酸化膜で分離された2重微粒子116を複数個基板110上に1列に配列し、各々の2重微粒子には片側の微粒子にのみ電荷を注入する。このとき電荷同士の反発力により、ライン上で隣接する2重微粒子の同じ側（上側若しくは下側）の微粒子には安定して電荷を保持することができず、互に異なる側の微粒子に電荷が蓄積される。従って複数の2重微粒子を整列させると、上側と下側の微粒子に交互に電荷が蓄積される（図18（a））。

【0127】この場合、ラインの1端の2重微粒子の電荷の位置を逆転させると隣接する2重微粒子の電荷位置も反転する。この反転現象は、次々とライン上で隣接する2重微粒子に伝播していく（図18（b））。従ってライン上で1端に位置する2重微粒子の電荷の位置をある周期（周波数）で反転させると、その周期信号を次々と伝播させることが可能となり、あたかも電気配線の如く振る舞うことができる。

【0128】次に、本発明の微細構造を応用した、微細なゲート電極構造を有する半導体素子に関する実施の形態を説明する。

【0129】（第11の実施形態）図19、図20は本発明の第11の実施形態に係るMOS型半導体装置のゲート電極の形成方法を説明するための模式的な平面図である。この半導体装置の製造方法を以下に説明する。

【0130】まず、図19（a）に示すように、シリコン基板上に能動素子が形成される素子領域131を取り囲むように、LOCOS（Local Oxidation of Silicon）により素子分離領域132を形成する。

【0131】次に図19（b）に示すように、素子領域131のゲートが形成される部分に、ゲート絶縁膜（不図示）を形成後、電子ビームを20〜30nm間隔で連

(12)

特開平11-40809

21

統的に打ち込む。このとき電子ビームはゲート幅方向のLOCOS領域を含んで直線的に打ち込む。この電子ビームの打ち込みにより、ゲート絶縁膜（シリコン酸化膜）の結晶構造が破壊されてダメージ箇所133が形成される。

【0132】次に、この基板を超高真空（UHV）CVD装置に導入し、基板を加熱せずに非晶質シリコンの微細ドット134を形成する（図19（b））。図21

（a）、（b）は、夫々ゲート部分のダメージ箇所133の部分と、この上に形成されたシリコン微細ドットの形状を説明するための拡大斜視図である。

【0133】この場合非晶質シリコンを作製するための原料は Si_2H_6 ガスをを用いており、この原料ガスをCVD装置内の基板表面を見込む位置に設置された補助ヒーターで熱分解した後に、これを基板に供給することにより、基板表面に膜厚5nmの非晶質シリコンの薄膜を形成する。この方法により作成した5nmの非晶質シリコン薄膜は極めて均一である。

【0134】続いて850℃で加熱すると、非晶質シリコンの表面マイグレーションはシリコン酸化膜のそれよりも小さいので、非晶質シリコンは凝縮して高さ25nm、直径50nm程度のドット状になり、かつ互いに電氣的に接続されて帯状のゲート電極になる。この方法によれば原料分解が起こらない温度においても、シリコン微細ドットを形成することが可能である。

【0135】このように形成されたシリコン微細ドットの帯の端に、通常の光によるリソグラフィで作成されたゲート電極用のパッド135を形成することにより、ゲート長50nmのゲート電極が作成される。このゲート電極を作成した構造に不純物イオンを打ち込むことにより電子濃度を上げ、ゲート電極の両側にソース領域136とドレイン領域137を形成する。ソース領域136とドレイン領域137の夫々の端部には、ソース電極136a、ドレイン電極137aを形成する。この構造の上に層間絶縁膜を介して上層配線を形成することにより、MOS型半導体素子が完成する。

【0136】本発明は、SOIを用いたMOSFETを始めとして、LSI回路に用いられるすべての素子について微細電極を作成する工程に適用できる。

【0137】（第1の実施形態）図22～図25は、本発明の第1の実施形態に係わる単一電子素子の製造方法を段階的に説明するための図である。各図の（a）は平面図、（b）は対応する平面図のA-A'線若しくはB-B'線に沿った断面図である。

【0138】まず、図22に示すように、半導体基板140上にLOCOS142により囲まれた素子領域141を形成した後、さらに全体を酸化するか、あるいはCVDにより膜厚100nm程度の SiO_2 酸化膜143を素子領域141上に形成する。

【0139】次に図23に示すように、単一電子素子の

22

アイランド部分を形成する領域144を囲む4点に電子ビーム等を照射して、酸化膜13の結晶構造を点として破壊し、ダメージ箇所145を形成する。続いてこの基板を高真空（UHV）CVD装置に導入し、基板を加熱せずに非晶質シリコン微細ドット146を形成する。

【0140】この場合非晶質シリコンを作製するための原料は Si_2H_6 ガスをを用いており、この原料ガスをCVD装置内の基板表面を見込む位置に設置された補助ヒーターで熱分解した後に、これを基板に供給することにより、300℃以下の低温で基板表面に膜厚5nm以下の非晶質シリコンの薄膜を形成する。

【0141】本実施形態では、シリコン薄膜堆積時の基板温度は室温としているが、酸化膜基板中の酸素と堆積するシリコンとが反応を起こさない範囲において、基板温度を上昇させることは問題ない。この場合、基板温度は500℃以下であれば原料シリコンと基板表面の酸素との反応は低く抑えられる。しかしシリコン原料が分子原料分解用のヒーターのように高温ソースから供給される場合は、基板温度は300℃以下が望ましい。

【0142】続いて730～850℃で加熱すると、非晶質シリコンの表面マイグレーションは酸化膜のそれよりも小さいので、非晶質シリコンは凝縮して直径50nm以下のサイズのドット状になり、かつ互いに独立した微細結晶を形成する。

【0143】この微細ドットの形成は非晶質に限られるものではなく、シリコンに限らず他のIV族元素を用いてもよい。また、形成方法もUHV-CVD装置に限らず、例えば固体シリコン原料を電子線で加熱し基板に供給する分子線結晶成長（MBE）法やプラズマ放電により気体原料分子を分解して基板に供給するプラズマCVDでもかまわない。

【0144】なお、電子ビームによるダメージ箇所は4点に限らず、アイランドを囲む形ならば何点でもよい。但し、ダメージ箇所の間隔は、後に形成される微細ドットの径よりも若干大きい程度、例えばこの例では100乃至200nmに設定する。

【0145】次に、図24に示すように、弗酸を用いて素子領域141上に形成された SiO_2 膜143をエッチング除去する。この際、上記のシリコン微細ドット146の部分がマスクとなり、シリコン微細ドット146の下に SiO_2 層143が残される。

【0146】次に、図25に示すように素子全体にゲート酸化を行い、5nm程度のゲート酸化膜147を形成する。続いてアイランド144を含む部分の上にポリシリコン等のゲート電極148を形成する。ここでの電極材料はポリシリコンに限らず、アルミニウム等の金属でもかまわない。

【0147】次に、ソースとドレイン領域に不純物のイオン注入を行うことにより、ソースとドレイン領域の電子濃度を高める。この構造の上に層間絶縁膜を介して上

(13)

特開平11-40809

23

層配線を形成することにより、単一電子素子が完成する。

【0148】本実施例においては、シリコン微細ドットの数4個としたが、前述のようにアイランドを囲むように多数のシリコンドットを設けても良い。図26はダメージ箇所を6箇所とし、電子が蓄えられるアイランドの数を、参照番号151および152で示すように、ソース・ドレイン方向に直列の2つにした例である。この2つのアイランドを夫々制御するゲート電極153、154を設けることにより、2つのアイランドに蓄えられる電子の数に応じて多値の論理制御が可能になる。

【0149】また、図27の参照番号161および162で示すように、アイランドの数をソース・ドレイン方向に並列の2つとすることもできる。この場合はアイランドに蓄えられる電子の数が合計2個となるため、電流容量を増やすことができる。

【0150】本発明の単一電子素子においては、電荷が蓄積するアイランド部分を形成するために、アイランドを囲む領域に電子ビーム等でダメージを与え、このダメージを中心にUHV-CVD装置内で形成されるシリコン微細ドットをマスクに弗酸等によりSiO₂膜をエッチングした後、ゲート酸化およびポリシリコン等電極層を形成するという方法をとる。

【0151】従って、マスクの精度としては最初のダメージの点の間隔の精度が要求されるだけである。シリコンドットに囲まれた領域に反転層(図25(b)における149)として形成される電荷蓄積アイランドの大きさは、成長したシリコンドットの大きさを合わせて決定される。このため、従来の加工技術を用いても限界加工以下のサイズを持つアイランドの形成が可能となる。

【0152】本実施形態では、シリコン微細ドットの径を50nm程度としているため、平面的なゲート電極長は100nm程度となるが、シリコン微細ドットの径を25nmとすれば、ゲート長を50nm程度とすることも可能である。

【0153】

【発明の効果】本発明により、既存の半導体量産プロセスと整合性の高い手法で、半導体基板上に微細な半導体結晶を作成する方法が提供できる。また、本発明の微粒子構造を利用して、高性能の発光ダイオード、半導体レーザー、メモリ素子等が実現できる。

【0154】また、本発明は直径50nm以下のシリコン微細ドットが、電子ビーム等の照射によりダメージを受けたSiO₂膜上に、選択的に制御よく形成されることを、ゲート電極の形成に利用している。このため、通常のゲート電極形成法のようにレジストの特性や境界に制限されることがない。また多大な設備投資を必要とし、汎用性がなく、取扱いが困難な上に放射線として人体への悪影響のあるX線リソグラフィのような欠点もなく、10nmオーダーのゲート長を有する半導体素子を

24

提供することを可能にしている。

【0155】また、本発明の単一電子素子においては、電荷の数を正確にコントロールするために微細な構造を必要とするアイランド部分を、上記のシリコン微細ドットを利用し、このシリコン微細ドット間の反転層領域としている。

【0156】本発明においてアイランドの周囲のシリコン微細ドットの間隔を現状のリソグラフィの限界寸法とすれば、UHV-CVDによるシリコン微細ドットの大きさを制御することで、最終的に形成される反転層アイランドの大きさは、現状のリソグラフィの限界寸法より遥かに小さいものとすることができる。以上の方法により、室温動作が充分可能で、制御性、再現性の良い単一電子素子を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るシリコン微結晶の作成手順を示す半導体基板の断面図

【図2】第1の実施形態の微結晶の作成法において、初期の非晶質の厚さに対する、アニール条件と得られる微結晶の大きさの関係を示す図で、(a)はシリコン、

(b)はゲルマニウムの場合

【図3】本発明の第2の実施形態に係るMOS型半導体装置の作成手順を示す断面図

【図4】第2の実施形態の半導体装置に類似の半導体装置を、従来技術で作成する際の問題点を説明するためのプラズマCVD装置の模式図

【図5】図4のCVD装置で作成したシリコン微結晶の断面図

【図6】本発明により作成したシリコン微結晶の断面図

【図7】本発明の第3の実施形態に係るシリコン微結晶の作成方法を説明するための斜視図

【図8】本発明の第4の実施形態に係るゲルマニウム微結晶の作成方法を説明するための断面図

【図9】第4の実施形態のゲルマニウム微結晶の作成法において、初期のゲルマニウム質の厚さに対する、アニール条件と得られる微結晶の大きさの関係を示す図

【図10】本発明の第5の実施形態に係るゲルマニウム微結晶を組み込んだ発光ダイオードの断面図

【図11】本発明の第6の実施形態に係るゲルマニウム微結晶を組み込んだ発光ダイオードの断面図

【図12】本発明の第7の実施形態に係るゲルマニウム微結晶を組み込んだ発光ダイオードの作成手順を示す断面図

【図13】本発明の第8の実施形態に係るゲルマニウム微結晶を組み込んだ面発光レーザーの断面図

【図14】本発明の第9の実施形態に係る2重微粒子構造の作成手順を示す断面図

【図15】本発明の第9の実施形態に係る2重微粒子構造を組み込んだメモリ素子の断面図

【図16】本発明の第10の実施形態に係る3重微粒子

(14)

特開平11-40809

25

構造の作成手順を示す断面図

【図17】本発明の第10の実施形態に係る3重微粒子構造の完成品の断面図

【図18】本発明の2重微粒子構造の応用例を説明するための模式的断面図

【図19】本発明の第11の実施形態に係るMOS型半導体素子の製造方法を説明するための平面図

【図20】図19の次の段階であり、完成形の半導体素子の平面図

【図21】第11の実施形態におけるシリコン微細ドットの形成法を説明する斜視図

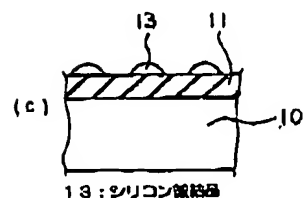
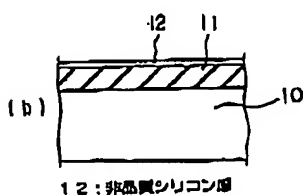
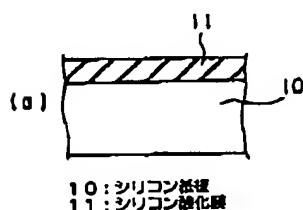
【図22】本発明の第12の実施形態に係る半導体素子の製造方法を説明するための図で、(a)は平面図、(b)は(a)のA-A'線に沿った断面図

【図23】図22の次の段階を示す平面図と断面図

【図24】図23の次の段階を示す平面図と断面図

【図25】図24の次の段階を示す平面図と断面図で、(b)は(a)のB-B'線に沿った拡大断面図

【図1】

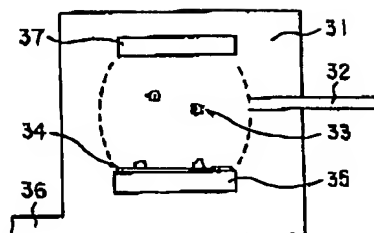


【図2】

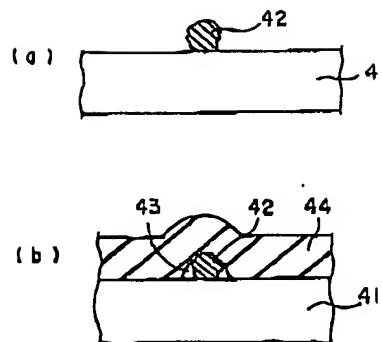
初期非晶質厚さ (nm)	アノール条件		微結晶の大きさ	
	温度 (°C)	時間 (分)	直径 (nm)	高さ (nm)
0.5	730	5	5	2
1	800	3	10	5
2	830	3	30	15
5	850	5	50	25

初期非晶質厚さ (nm)	アノール条件		微結晶の大きさ	
	温度 (°C)	時間 (分)	直径 (nm)	高さ (nm)
0.3	800	5	5	2
0.5	650	5	10	5
1	700	5	30	12
2	750	5	50	25

【図4】



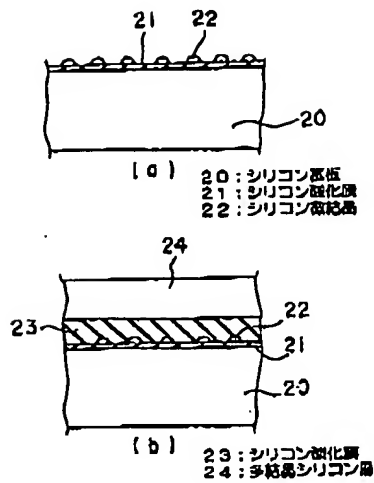
【図5】



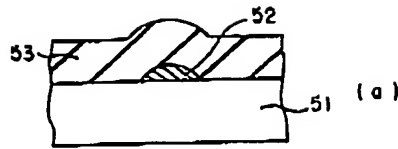
(15)

特開平11-40809

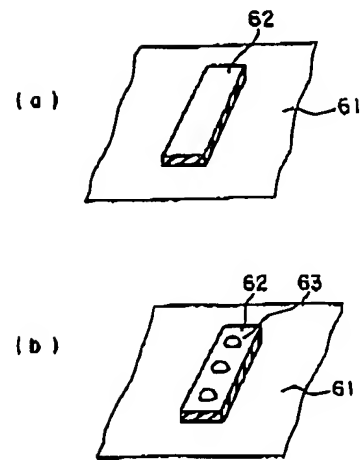
【図3】



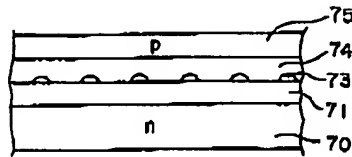
【図6】



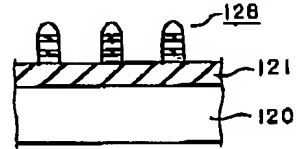
【図7】



【図10】



【図17】



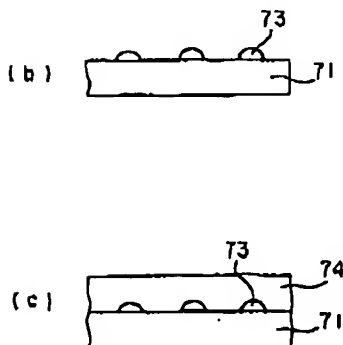
【図8】



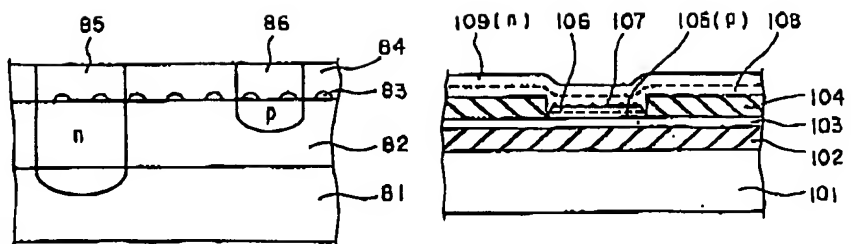
【図9】

初期Ge膜厚さ (原子厚/nm)	アール条件		密着膜の大きさ	
	温度 (°C)	時間 (分)	厚さ (nm)	長さ (nm)
2 (0.58)	850	20	8	2
2 (0.58)	700	10	10	2
4 (1.13)	750	10	50	12
8 (2.26)	800	5	100	25

【図11】



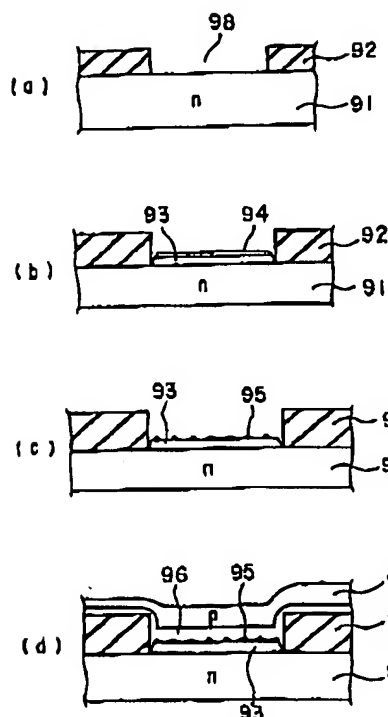
【図13】



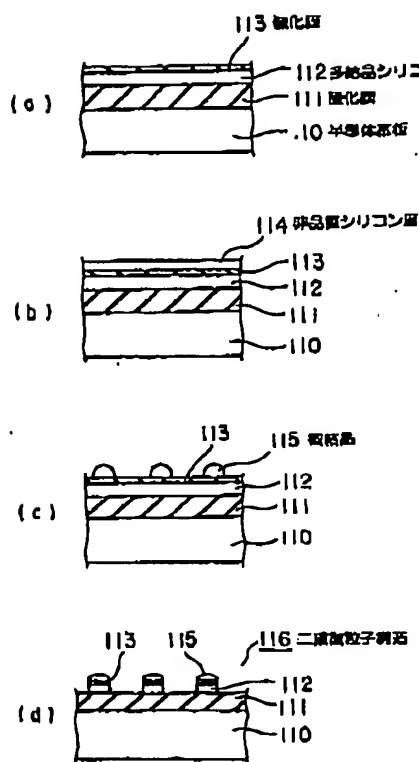
(16)

特開平11-40809

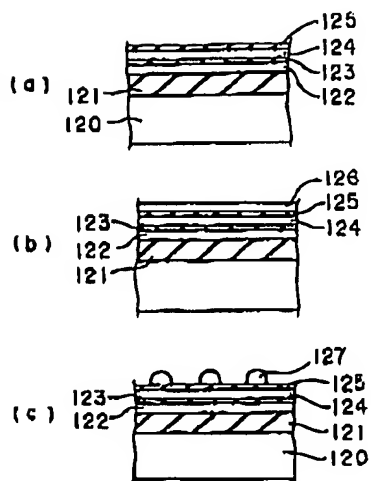
【図12】



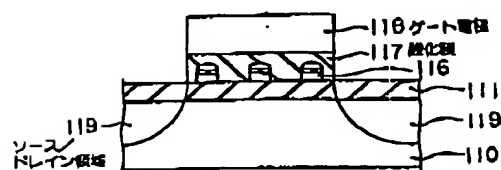
【図14】



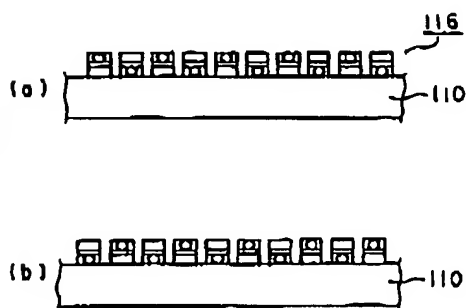
【図16】



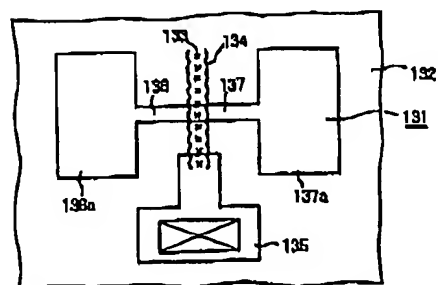
【図15】



【図18】



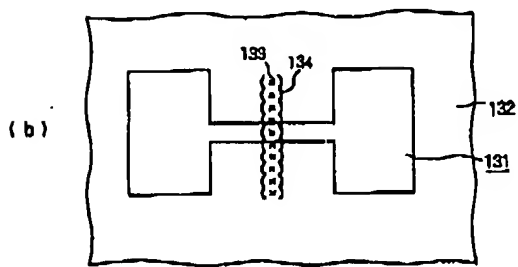
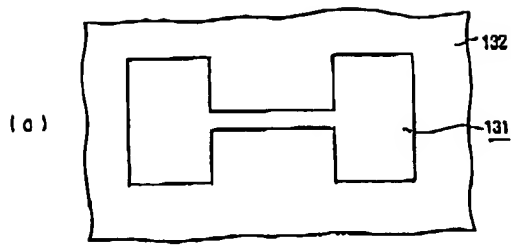
【図20】



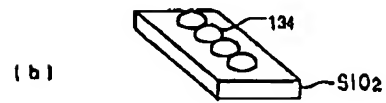
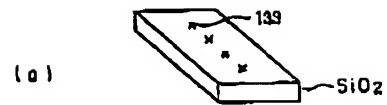
(17)

特開平11-40809

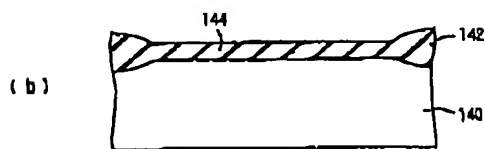
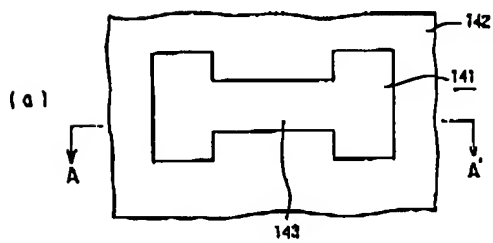
【図19】



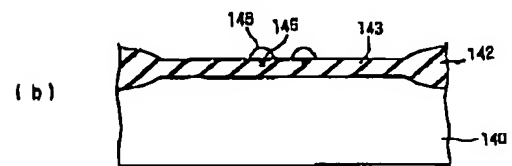
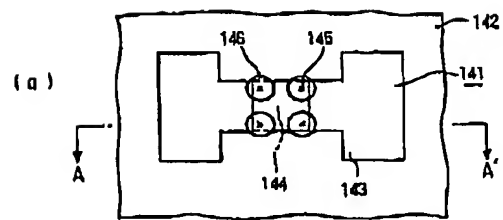
【図21】



【図22】



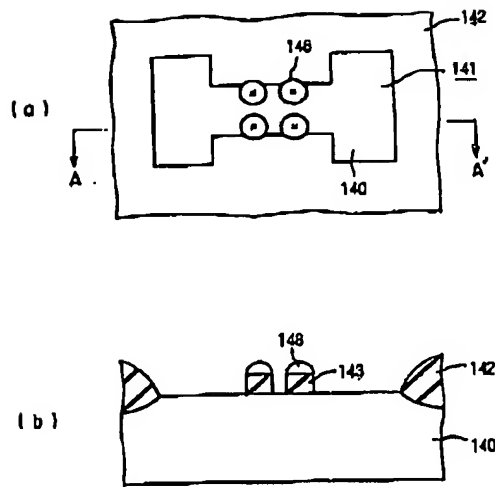
【図23】



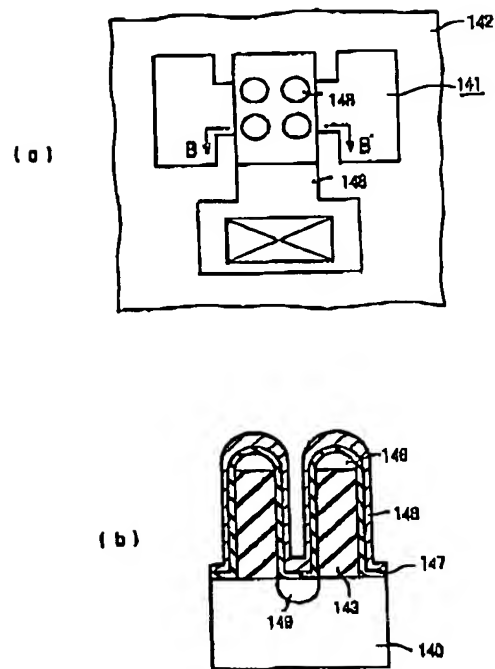
(18)

特開平 1 1 - 4 0 8 0 9

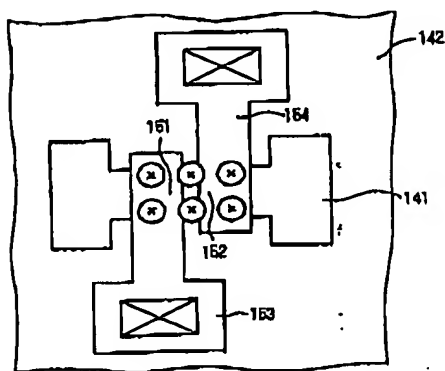
【図 2 4】



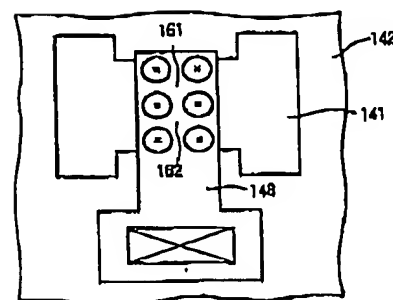
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

(72) 発明者 黒部 篤
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 棚本 哲史
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内